

PATENT ABSTRACTS OF JAPAN

CN to CN 1186344

(11)Publication number : 10-189877

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 27/04
H01L 21/822
G11C 11/41
G11C 11/407
G11C 11/401
H01L 27/10

(21)Application number : 08-347664 ✓

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.12.1996

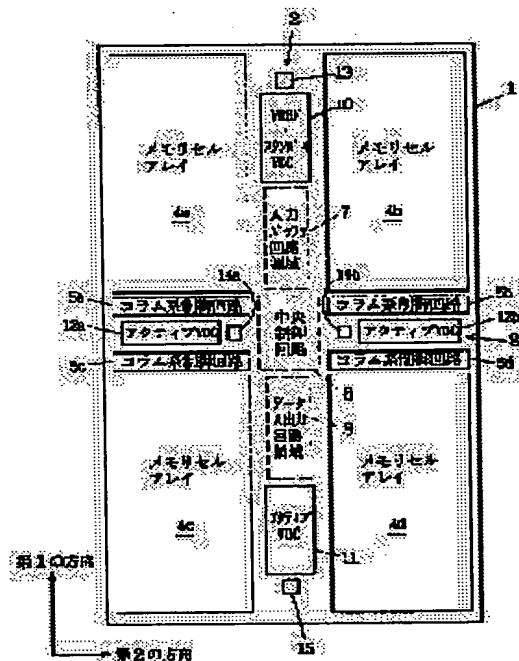
(72)Inventor : YASUDA KENICHI
SETOGAWA JUN
OISHI TSUKASA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device with effectively arranged inner electric power supply circuit.

SOLUTION: A reference voltage generating circuit and a stand-by step down circuit are arranged in a peripheral region 10 in a semiconductor device forming region of a semiconductor chip 1 and then the regions (12a, 12b, 11) including an active step-down circuit in an active cycling time adjacent to circuit regions actually consuming power. In such a constitution, the increase in area can be suppressed, thereby enabling the inner power supply circuit to be arranged efficiently, in comparison with the conventional constitution, wherein both a stand-by step down circuit and an active step down circuit are arranged close to respective power consumption circuits in one inner step-down circuit.



LEGAL STATUS

[Date of request for examination]

02.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189877

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 27/04
21/822
G 1 1 C 11/41
11/407
11/401

H 0 1 L 27/04
27/10
G 1 1 C 11/34
B
3 1 1
3 4 5
3 5 4 F
3 7 1 K

審査請求 未請求 請求項の数13 O L (全 18 頁) 最終頁に続く

(21) 出願番号

特願平8-347664

(22) 出願日

平成 8 年 (1996) 12月26日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 安田 憲一

東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

(72) 発明者 瀬戸川 潤

東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

(72) 発明者 大石 司

東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

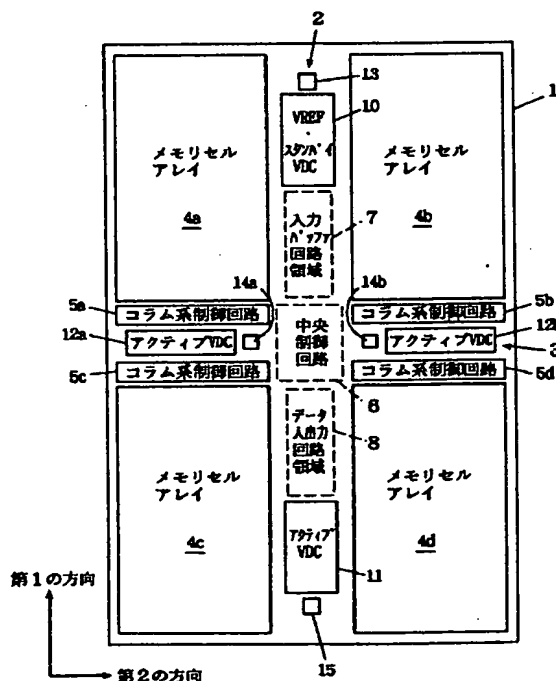
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

・【課題】 効率的に配置された内部電源回路を備える半導体装置を提供する。

・【解決手段】 半導体チップ (1) の半導体装置形成領域の周辺部領域 (10) に基準電圧発生回路およびスタンバイ降圧回路を配置し、実際に電流を消費する回路領域に隣接して、アクティブサイクル時動作するアクティブ降圧回路を含む領域 (12 a, 12 b, 11) を配置する。1つの内部降圧回路をスタンバイ降圧回路およびアクティブ降圧回路両者を各電流消費回路近傍に配設する構成に比べて、面積増加を抑制することができ、効率的に内部電源回路を配置することができる。



1

・【特許請求の範囲】

・【請求項1】 スタンバイサイクルとアクティブサイクルとを有する半導体装置であって、前記半導体装置のチップ上配置領域の周辺部に配置され、前記スタンバイサイクルおよびアクティブサイクルの間動作して外部電源電圧を降圧して内部電源線上に内部電源電圧を生成するスタンバイ降圧回路、および前記スタンバイ降圧回路の配置領域と異なる領域に配置され、前記アクティブサイクル時に活性化されて、前記外部電源電圧を降圧して前記内部電源電圧を前記内部電源線上に生成する少なくとも1つのアクティブ降圧回路を備える、半導体装置。

・【請求項2】 前記アクティブ降圧回路近傍に配置され、前記アクティブサイクル時前記アクティブ降圧回路からの内部電源電圧を一方動作電源電圧として動作し、外部から与えられる制御信号を受けて内部制御信号を生成する中央制御回路をさらに備える、請求項1記載の半導体装置。

・【請求項3】 行列状に配列される複数のメモリセルを有するメモリアレイと、外部からの制御信号に従って前記メモリアレイのメモリセル列の選択に関連する動作を制御する列系制御回路とをさらに備え、前記列系制御回路は、前記アクティブ降圧回路近傍に配置され、前記内部電源線上の内部電源電圧を一方動作電源電圧として動作する、請求項1記載の半導体装置。

・【請求項4】 前記周辺部の領域に配置され、基準電圧を生成する基準電圧発生回路をさらに備え、前記アクティブ降圧回路および前記スタンバイ降圧回路の各々は、前記基準電圧と前記内部電源線上の内部電源電圧に対応する電圧とを比較し、該比較結果に従って前記外部電源電圧が供給されるノードから前記内部電源線へ電流を供給する内部電圧調整回路をさらに備える、請求項1ないし3のいずれかに記載の半導体装置。

・【請求項5】 前記半導体装置配置領域は、第1の方向に沿って延在しかつ前記第1の方向と直交する第2の方向に関して中央部に配置される第1の中央領域と、前記第2の方向に沿って延在しかつ前記第1の方向についての中央に配置される第2の中央領域とにより4つの領域に分割され、前記スタンバイ降圧回路は、前記第1の中央領域の周辺部に配置され、かつ前記アクティブ降圧回路は、少なくとも前記第2の中央領域に配置される、請求項1記載の半導体装置。

・【請求項6】 前記アクティブ降圧回路は、複数個設けられる、請求項1または5記載の半導体装置。

・【請求項7】 前記少なくとも1つのアクティブ降圧回路は、前記第1の中央領域の前記第2の中央領域に関して前記周辺部領域と対向する領域に配置されるアクティブ降圧回路を含む、請求項5記載の半導体装置。

2

・【請求項8】 前記スタンバイ降圧回路およびアクティブ降圧回路各々に対応して近傍に配置され、前記外部電源電圧を受けて対応の降圧回路へ供給する電源パッドをさらに備える、請求項1ないし7のいずれかに記載の半導体装置。

・【請求項9】 チップ上に形成される半導体装置であって、

前記チップ上の前記半導体装置配置領域周辺部の第1の領域に配置され、基準電圧を発生する基準電圧発生回路、および前記第1の領域と異なる第2の領域に配置され、各々が対応の内部電源線上に内部電源電圧を生成する複数の駆動回路を備え、前記駆動回路の各々は、対応の内部電源線上の電圧をレベルシフトする、そのシフト量が調整可能な可変レベルシフト回路と、前記可変レベルシフト回路の出力電圧と前記基準電圧発生回路からの基準電圧とを比較し、該比較結果に従って外部電源電圧印加ノードから対応の内部電源線へ電流を供給する内部電圧調整回路とを含み、さらに前記第1の領域に配置されかつ前記複数の駆動回路の各々に共通に結合され、前記複数の駆動回路の各々の可変レベルシフト回路のレベルシフト量を設定するチューニング回路を備える、半導体装置。

・【請求項10】 前記可変レベルシフト回路の各々は、対応の内部電源線上の電圧をその抵抗値が調整可能な抵抗素子によりレベルシフトして低下させる抵抗回路を含み、前記チューニング回路は、ヒューズ素子の溶断により各前記抵抗回路の抵抗素子の抵抗値を調整する信号を発生するヒューズプログラマブル回路を含む、請求項7記載の半導体装置。

・【請求項11】 前記チップは、第2の方向についての中央に配置されかつ第1の方向に沿って延在する第1の中央領域と、前記第1の方向についての中央に配置されかつ前記第2の方向に沿って延在する第2の中央領域とにより4つの領域に分割され、前記第1の領域は前記第1の中央領域の周辺部に配置されかつ前記駆動回路は少なくとも前記第2の中央領域に配置される、請求項7または8記載の半導体装置。

・【請求項12】 前記外部電源電圧印加ノードに結合される外部電源パッドは、各前記駆動回路に対応して対応の駆動回路近傍に配置される、請求項9記載の半導体装置。

・【請求項13】 前記複数の駆動回路は、前記第1の中央領域に前記第2の中央領域に関して前記第1の領域と対向する領域に配置される駆動回路を含む、請求項9記載の半導体装置。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】この発明は、外部から印加される電源電圧を変換して内部動作電源電圧を生成する電

3

圧変換回路を内蔵する半導体装置に関し、特に、外部電源電圧を降圧して内部電源電圧を生成するオンチップの内部降圧回路を有する半導体記憶装置に関する。

・【0002】

・【従来の技術】半導体装置の集積度が高くなるにつれて、構成要素であるトランジスタ素子の微細化が進む。このような微細化されたトランジスタ素子の信頼性を保証するため、および信号振幅を小さくして信号線の充放電電流を低減し、これにより消費電流を低減するため、外部電源電圧を低くするためのオンチップの電圧変換回路を設け、内部回路をこの電圧変換回路により生成された外部電源電圧より低い電圧で駆動することが行なわれることがある。

・【0003】このような電圧変換回路を有する半導体装置の典型例として、ダイナミック・ランダム・アクセス・メモリ(DRAM)がある。DRAMの場合、その高速動作、素子の信頼性および低消費電流の観点から、できるだけ動作電源電圧を低くするのが望ましい。しかしながら、システム電源電圧を決定するプロセッサ等のロジックは、DRAMに比べてその集積度が低く、したがって、ロジックの電源電圧は、DRAMの動作電源電圧にまで低くすることはできない。また、DRAMは、前世代との互換性をも維持する必要がある。このため、高いシステム電源電圧をDRAM内部で降圧して、このシステム電源電圧よりも低い内部動作電源電圧を生成してDRAMの内部回路を駆動することが行なわれる。

・【0004】図11は、DRAMにおいて一般に用いられている従来の内部降圧回路の構成を概略的に示す図である。図11において、内部降圧回路VDCは、外部電源ノードEXに印加される外部電源電圧VCEと接地電圧とを受け、所定の電圧レベルの基準電圧Vrefを発生する基準電圧発生回路RVGと、内部電源線IVL上の内部電源電圧VCIと基準電圧Vrefを比較する比較器CMPと、外部電源ノードEXと内部電源線IVLの間に接続されかつそのゲートに比較器CMPの出力信号を受けるpチャネルMOSトランジスタで構成される電流ドライフトランジスタDTを含む。この内部電源線IVL上の内部電源電圧VCIを一方動作電源電圧として負荷回路LCが動作する。次に、この図11に示す内部降圧回路VDCの動作について説明する。

・【0005】内部電源線IVL上の内部電源電圧VCIが基準電圧Vrefよりも高い場合には、比較器CMPの出力信号がハイレベルとなり、電流ドライフトランジスタDTのコンダクタンスが小さくなり、外部電源ノードEXから内部電源線IVLへの電流の供給が低減されるかまたは停止される。

・【0006】一方、内部電源電圧VCIが基準電圧Vrefよりも低い場合には、比較器CMPの出力信号がLレベルとなり、電流ドライフトランジスタDTのコンダクタンスが大きくなり、外部電源ノードEXから内部電

4

源線IVLへ電流を供給し、内部電源電圧VCIの電圧レベルを上昇させる。この比較器CMPは差動増幅回路で通常構成されており、内部電源電圧VCIと基準電圧Vrefの差を差動的に増幅している。したがって、この電流ドライフトランジスタDTが、内部電源電圧VCIと基準電圧Vrefの差に応じて外部電源ノードEXから内部電源線IVLへ電流を供給することにより、内部電源電圧VCIは、ほぼ基準電圧Vrefの電圧レベルに保持される。

10 ・【0007】負荷回路LCが動作し、内部電源線IVLの電流を消費し、内部電源電圧VCIが低下するときには、比較器CMPの出力信号の電圧レベルが低下し、電流ドライフトランジスタDTが大きな電流を外部電源ノードEXから内部電源線IVLへ供給して、この内部電源電圧VCIを元のレベルに復帰させる。

・【0008】この電流ドライフトランジスタDTおよび比較器CMPのフィードバックグループを利用することにより、安定に外部電源電圧VCIよりも電圧レベルの低い内部電源電圧VCIを生成して内部回路(負荷回路LC)を動作させることができる。

20 ・【0009】

・【発明が解決しようとする課題】電流ドライフトランジスタDTは、外部電源ノードEXと内部電源線IVLの間の抵抗成分として作用する。したがって、負荷回路LCが動作し、内部電源線IVL上の電流を消費した場合、この消費電流による内部電源電圧VCIの電圧低下を高速で補償して、元の電圧レベルへとこの内部電源電圧を復帰させるためには、この電源ドライフトランジスタDTは、負荷回路LCの動作時の消費電流以上の電流を供給する必要がある。このため、この電流ドライフトランジスタDTは、そのゲート幅W(またはゲート幅とゲート長の比W/L)が大ききとされて、その電流駆動力は十分大ききとされる。したがって、電流ドライフトランジスタは比較的大きな面積を占有する。

・【0010】また、負荷回路LCの動作速度が速くなり、消費電流が増大すると、内部電源線IVLに流れる電流が増加する。消費電流Iは、動作周波数をf、駆動すべき負荷容量をCe、負荷容量Ceの電極の電圧振幅をVとすると、 $I = f \cdot Ce \cdot V$ で与えられる。したがって、動作周波数が高くなれば、内部電源線IVLに流れる平均電流が増加する。

40 ・【0011】この状態において、内部降圧回路VDCと負荷回路LCの間の距離が長く、その間の内部電源線IVLの長さも長くなると、この内部電源線IVLの配線抵抗による電圧降下が無視できなくなる。この負荷回路LCは、平均的にこの内部電源電圧VCIよりも低下した電圧を一方動作電源電圧として動作することになるため、負荷回路LCの動作特性を保証することができず、回路動作が不安定となるという問題が生じる。

50 ・【0012】図12は、従来の内部降圧回路の他の構成

5

を示す図である。この図12に示す内部降圧回路VDCにおいては、内部電源線IVL上の内部電源電圧VCIをその抵抗分割によりレベルシフトするレベルシフト回路LSが設けられる。レベルシフト回路LSの出力電圧LVは、電流ドライブトランジスタDTを駆動する比較器CMPの正入力へ与えられる。比較器CMPの負入力へ基準電圧Vrefが与えられる。電流ドライブトランジスタDTおよび負荷回路LCは図11に示す構成と同じである。

・【0013】レベルシフト回路LSは、内部電源線IVLと接地ノードの間に直列に接続される抵抗素子R1、 $r1$ 、 $r2$ およびR2と、抵抗素子 $r1$ および $r2$ とそれぞれ並列に接続される溶断可能なリンク素子F1およびF2を含む。抵抗素子R1およびR2は、このレベルシフト回路LSにおける消費電流を低減するために比較的大きな抵抗値を有する。

・【0014】リンク素子F1およびF2が導通状態のときには、抵抗素子 $r1$ および $r2$ が各々短絡され、このレベルシフト回路LSは、抵抗素子R1およびR2による抵抗分割回路となる。このときには、比較器CMPへは、次式で示されるシフト電圧LVが与えられる。

・【0015】 $LV = VCI \cdot R2 / (R1 + R2)$

今、リンク素子F1を溶断すると、抵抗素子 $r1$ が抵抗素子R1に直列に接続される。したがって、この状態においては、シフト電圧LVは、次式で与えられる。

・【0016】 $LV = VCI \cdot R2 / (R1 + R2 + r1)$

すなわち、このリンク素子F1を溶断すると、シフト電圧LVの電圧レベルが低下する。一方、逆に、リンク素子F2を溶断すると、抵抗素子 $r2$ が抵抗素子R2と直列に接続される。この場合においては、次式で示されるシフト電圧LVが得られる。

・【0017】 $LV = VCI \cdot (R2 + r2) / (R1 + R2)$

すなわち、このリンク素子F2を溶断すれば、シフト電圧LVの電圧レベルを上昇させることができる。比較器CMPは、このシフト電圧LVと基準電圧Vrefとを比較している。したがって、この図12に示す内部降圧回路VDCの構成においては、基準電圧Vrefとシフト電圧LVの電圧レベルが同じとなるようにフィードバック制御が行なわれる（比較器CMPと電流ドライブトランジスタDTの動作）。

・【0018】このリンク素子F1およびF2を選択的に溶断することにより、内部電源電圧VCIの電圧レベルを調整することができる。このレベルシフト回路LSを用いることにより、比較器CMPを、最も感度のよい領域で動作させることができ、比較器CMPおよび電流ドライブトランジスタDTからなるフィードバックループの応答特性を改善することができ、内部電源電圧VCIを所定の電圧レベルに安定に保持することができる。

6

・【0019】しかしながら、内部降圧回路VDCの構成において、レベルシフト回路LSにおいてはリンク素子F1およびF2が設けられている。リンク素子F1およびF2の占有面積は比較的大きい（溶断時他の素子の短絡を防止するためおよび溶断時他の部分が誤って溶断されるのを防止するため）。したがって、このレベルシフト回路LSの占有面積は大きい。

・【0020】近年、DRAMの動作速度および集積度はますます改善されており、したがって、このような内部降圧回路を面積増加および電圧降下を生じさせないように効率的に配置することが必要となる。

・【0021】また、このような内部降圧回路と同様の機能を備える電圧変換回路を有する半導体装置においても、同様、高集積化が進めば、同様の問題が生じる。

・【0022】それゆえ、この発明の目的は、チップ面積を増加させることなく面積効率よく配置された内部降圧回路を備える半導体装置を提供することである。

・【0023】この発明の他の目的は、チップ面積を増加させることなく各回路部に対し安定に一定電圧レベルの電源電圧を供給することができるように配置された内部降圧回路を備える半導体装置を提供することである。

・【0024】

・【課題を解決するための手段】請求項1に係る半導体装置は、半導体装置のチップ配置領域の周辺部に配置され、常時動作して外部電源電圧を降圧して内部電源線上に内部電源電圧を生成するスタンバイ降圧回路と、このスタンバイ降圧回路の配置領域と異なる領域に配置され、アクティブサイクル時に活性化されて外部電源電圧を降圧して内部電源電圧を内部電源線上に生成する少なくとも1つのアクティブ降圧回路とを備える。

・【0025】請求項2に係る半導体装置は、請求項1の装置が、さらに、アクティブ降圧回路近傍に配置され、アクティブサイクル時このアクティブ降圧回路からの内部電源電圧を一方動作電源電圧として受けて動作し、外部から与えられる制御信号を受けて内部制御信号を生成する中央制御回路を備える。

・【0026】請求項3に係る半導体装置は、請求項1の装置が、さらに、行列状に配列される複数のメモリセルを有するメモリアレイと、外部からの制御信号に従ってこのメモリアレイのメモリセル列の選択に関連する動作を制御する列系制御回路を備える。この列系制御回路は、アクティブ降圧回路近傍に配置され、活性化時このアクティブ降圧回路からの内部電源電圧を一方動作電源電圧として動作する。

・【0027】請求項4に係る半導体装置は、請求項1ないし3のいずれかの装置が、スタンバイ降圧回路が配置される周辺部の領域に配置され、基準電圧を生成する基準電圧発生回路をさらに備える。アクティブ降圧回路およびスタンバイ降圧回路の各々は、この基準電圧発生回路からの基準電圧と内部電源線上の内部電源電圧に対応

7

する電圧を比較し、その比較結果に従って外部電源電圧が供給されるノードから内部電源線へ電流を供給する内部電圧調整回路を備える。

・【0028】請求項5に係る半導体装置は、請求項1の半導体装置配置領域が、第1の方向に沿って延在しかつこの第1の方向と直交する第2の方向に関して中央部に配置される第1の中央領域と、この第2の方向に沿って延在しかつ第1の方向についての中央に配置される第2の中央領域とにより4つの領域に分割される。スタンバイ降圧回路はこの第1の中央領域の周辺部に配置されかつアクティブ降圧回路は、少なくとも第2の中央領域に配置される。

・【0029】請求項6に係る半導体装置は、請求項1ないし5の装置において、アクティブ降圧回路が複数個設けられる。

・【0030】請求項7に係る半導体装置は、請求項5の少なくとも1つのアクティブ降圧回路が、第1の中央領域の第2の中央領域に関して周辺部領域と対向する位置に配置されるアクティブ降圧回路を含む。

・【0031】請求項8に係る半導体装置は、請求項1ないし7のいずれかの装置が、さらに、スタンバイ降圧回路およびアクティブ降圧と回路各々に対応しかつ各近傍に配置され、外部電源電圧を受けて対応の降圧回路へ、この受けた外部電源電圧を供給する電源パッドをさらに備える。

・【0032】請求項9に係る半導体装置は、半導体チップ上の半導体装置配置領域の周辺部の第1の領域に配置され、基準電圧を発生する基準電圧発生回路と、この第1の領域と異なる第2の領域に配置され、各々が対応の内部電源線上に内部電源電圧を生成する複数の駆動回路を備える。これら複数の駆動回路の各々が、対応の内部電源線上の電圧をレベルシフトするそのレベルシフト量が調整可能な可変レベルシフト回路と、このレベルシフト回路の出力電圧と基準電圧発生回路からの基準電圧とを比較し、その比較結果に従って外部電源電圧印加ノードから対応の内部電源線へ電流を供給する内部電圧調整回路とを含む。

・【0033】請求項9に係る半導体装置は、さらに、この第1の領域に配置され、かつ複数の駆動回路の各々に共通に結合され、これら複数の駆動回路の各々の可変レベルシフト回路のレベルシフト量を設定するチューニング回路を備える。

・【0034】請求項10に係る半導体装置は、請求項9のレベルシフト回路の各々が、対応の内部電源線上の電圧を抵抗素子によりレベルダウンして出力する抵抗回路を含む。チューニング回路は、溶断可能なリンク素子のプログラムにより各抵抗回路の抵抗素子の抵抗値を調整するヒューズプログラマブル回路を含む。

・【0035】請求項11に係る半導体装置は、請求項9または10の半導体チップが、第1の方向に沿って延在

8

しかつ第2の方向についての中央に位置する第1の中央領域と、この第2の方向に沿って延在しかつ第1の方向についての中央に位置する第2の中央領域とにより4つの領域に分割される。第1の領域はこの第1の中央領域の周辺部に配置されかつ駆動回路は少なくとも第2の中央領域に配置される。

・【0036】請求項12に係る半導体装置は、請求項9の装置において、外部電源電圧印加パッドが各駆動回路に対応しかつ対応の駆動回路近傍に配置される。

10 ・【0037】請求項13に係る半導体装置は、請求項9の複数の駆動回路が、第1の中央領域の第2の中央領域に関して第1の領域と対向する領域に配置される駆動回路を含む。

・【0038】請求項1に係る半導体装置において、スタンバイ時およびアクティブ時動作する降圧回路を面積的に余裕のある周辺部に配置することにより、このスタンバイ降圧回路が他の回路のレイアウトに影響を及ぼすことはなく、このスタンバイ降圧回路によるチップ面積の増大を抑制することができる。また、スタンバイ降圧回路およびアクティブ降圧回路を別々に配置することにより、アクティブ降圧回路を電流消費の大きい回路近傍に配置することにより安定に電圧降下を伴うことなく内部電源電圧を供給できる。すなわち、降圧回路全体としての最適レイアウトを実現することができる。

・【0039】請求項2に係る半導体装置においては、消費電流の比較的大きな中央制御回路に近接して駆動力の大きなアクティブ降圧回路を配置しており、十分に高速に応答して中央制御回路動作時における消費電流を供給することができる。また、中央制御回路とアクティブ降圧回路との間の距離が短く、内部電源線の配線抵抗による電圧降下はほとんど生じず、安定に一定電圧レベルの内部電源電圧を中央制御回路へ供給することができる。

・【0040】請求項3に係る半導体装置においては、消費電流の比較的大きな列系制御回路近傍に駆動力の大きなアクティブ降圧回路を配置しており、この列系制御回路動作時、高速に応答して、電流を供給することができ、また、の列系制御回路とアクティブ内部電源線の抵抗により電圧降下はほとんど生じず、安定に一定の電圧レベルの内部電源電圧を列系制御回路へ供給することができる。

・【0041】請求項4に係る半導体装置においては、基準電圧発生回路が周辺部領域に配置されており、この基準電圧発生回路からの基準電圧がアクティブ降圧回路およびスタンバイ降圧回路へ供給されており、したがって、比較的大きな面積を必要とする基準電圧発生回路を面積的に余裕のある周辺部領域に配置することにより、この基準電圧発生回路による面積増加を抑制することができる。

・【0042】請求項5に係る半導体装置において、スタンバイ降圧回路を第1の中央領域周辺部に配置しかつア

50

9

クティブ降圧回路を第2の中央領域に配置しており、第2の中央領域両側の回路に対しこれらの回路動作時高速に応答して電流をアクティブ降圧回路から各回路へ供給することができる。また、アクティブ降圧回路と第2の中央領域に面して配置される回路との距離は短く、内部電源線の配線抵抗による電圧降下はほとんど生じず、安定に一定の電圧レベルの内部電源電圧を各回路に供給することができる。

・【0043】請求項6に係る半導体装置においては、アクティブ降圧回路が複数個設けられており、消費電流の大きな回路に対応してアクティブ降圧回路を配置することにより、これらの消費電流の大きな回路へ安定にかつ高速に高速に電流を供給することができる。

・【0044】請求項7に係る半導体装置においては、周辺部領域と対向する第1の中央領域内の部分にアクティブ降圧回路を配置しており、この部分の近傍の回路に対しても安定に一定電圧レベルの内部電源電圧を供給することができる。

・【0045】請求項8に係る半導体装置においては、各降圧回路近傍に外部電源電圧を受ける電源パッドを配置しており、各降圧回路に対する外部電源線のインピーダンスを低減することができ、安定に外部電源電圧を各降圧回路へ供給することができる。また、1つの降圧回路動作時の外部電源電圧に対するノイズが他の降圧回路の外部電源電圧へ影響を及ぼすのが防止できる。さらに、電流パッドと電流を消費する回路との距離が短く、電流パッドと回路との間の電源電圧降下量は極めて小さく、安定に所望のレベルの電源電圧を電流消費回路へ供給することができる。

・【0046】請求項9に係る半導体装置においては、複数の駆動回路に共通に基準電圧発生回路およびチューニング回路が設けられる。これらの比較的占有面積の大きな基準電圧発生回路およびチューニング回路を面積的に余裕のある周辺部に配置することにより、これらのチューニング回路および基準電圧発生回路の配置によるチップ面積の増加は抑制できる。また、降圧回路としては、駆動回路のみを必要な領域に配置することにより、降圧回路全体としての占有面積を低減することができる。

・【0047】請求項10に係る半導体装置においては、レベルシフト回路が、抵抗素子によるレベルダウン回路であり、チューニング回路は、リンク素子のプログラムにより、抵抗値設定信号を発生しており、比較的面的に余裕のある周辺部においてヒューズプログラマブル回路を配置することにより、余裕をもってヒューズ素子を配置することができ、正確な、ヒューズ素子のプログラムが可能となる。また、周辺部にヒューズプログラマブル回路を配置しており、このヒューズプログラマブルのプログラム時における溶断ヒューズが他回路へ飛散して、他回路へ悪影響を及ぼすのを防止することができる。

10

・【0048】請求項11に係る半導体装置においては、第1の中央領域の周辺部に基準電圧発生回路およびチューニング回路を配置し、第2の領域に駆動回路を配置しており、中央領域にこれらの回路を配置することにより、基準電圧発生回路およびチューニング回路からの電圧信号を、直線的な配線により、各駆動回路へ伝達することができる。また、駆動回路は、第2の中央領域に配置されており、この駆動回路両側の配置される回路に対しその距離が短いため、配線抵抗の影響を受けることなく、高速に高速に電圧降下を伴うことなく安定に一定の電圧レベルの内部電源電圧を供給することができる。

・【0049】請求項12に係る半導体装置においては、各駆動回路近傍に外部からの電源電圧を受ける電源パッドが配置されており、各駆動回路の外部電源線のインピーダンスを低減することができ、電源線のノイズを低減することができる。また、パッドを別々に設けることにより、1つの駆動回路動作時において外部電源電圧にノイズが発生しても、他の駆動回路の外部電源ノードに対するノイズの伝搬は防止される。また、電源パッドから電流を消費する回路までの距離は短く、その間の電圧降下量は極めて小さく、安定に所望のレベルの内部電源電圧を電流消費回路へ供給できる。

・【0050】請求項13に係る半導体装置において、複数の駆動回路が、第1の中央領域の、基準電圧発生回路およびチューニング回路が配置されている領域と対向する領域に配置される駆動回路を含んでおり、この領域近傍に配置された回路に対しても、安定に内部電源電圧を供給することができる。

・【0051】

・【発明の実施の形態】

・【実施の形態1】図1は、この発明の実施の形態1に従う半導体装置の平面レイアウトを概略的に示す図である。図1において、この半導体装置は、半導体記憶装置であり、半導体チップ1上に形成される。このチップ1は、第2の方向についての中央部に配置され、かつ第1の方向に沿って延在する第1の中央領域2と、第1の方向についての中央部に配置されかつ第2の方向に沿って延在する第2の中央領域3を含む。これらの第1の中央領域2および第2の中央領域3より、この半導体チップ1は、4つの領域に分割される。これらの4つの領域それぞれに、各々が行列状に配置される複数のメモリセルを有するメモリセルアレイ4a、4b、4cおよび4dが配置される。これらのメモリセルアレイ4a～4d各々に対し、第2の中央領域3に面して、コラム系制御回路5a、5b、5c、および5dが配置される。これらのコラム系制御回路5a～5dの各々は、対応のメモリセルアレイ4a～4dにおける列選択に関連する動作・(内部データの書込/読出を含む)を制御する。

・【0052】第1の中央領域2と第2の中央領域3両者の中央部に、外部から与えられる制御信号およびアドレ

11

ス信号に従って装置外部とのデータの入出力の制御、メモリセルアレイ4a~4dにおける行および列の選択を行なうための制御信号を発生する中央制御回路が配置される中央制御回路領域6が配置される。この中央制御回路領域6の中央制御回路は、メモリセルアレイ4a~4dそれぞれに対応して設けられる図示しないロウ系制御回路の制御およびコラム系制御回路5a~5dの制御を行なう。この中央制御回路領域6には全アレイを制御するため、全アレイに対する回路が集中的に配置される。この領域にはしたがって、配線も多く配設される。この中央部分の必要幅によりチップサイズが決定される(アレイ面積は一定)。以下に示す様に、降圧回路を分散配置することにより、中央部分の面積増大を抑制し、チップサイズを低減する。

・【0053】この第1の中央領域2において、中央制御回路領域6に隣接してメモリセルアレイ4aおよび4bの間の領域に、入力バッファ回路領域7が設けられる。この入力バッファ回路領域7において、外部からの制御信号を受ける制御信号入力バッファおよび外部からのアドレス信号を受けるアドレス信号入力バッファなどが配置される。また、中央制御回路領域6に隣接して、メモリセルアレイ4cおよび4dの間の第1の中央領域2の部分に、メモリセルアレイ4a~4dから読出されたデータを装置外部へ出力するとともに、データ書込時外部から与えられる書込データから内部書込データを生成する書込回路を含むデータ入出力回路が配置されるデータ入出力回路領域8が配置される。

・【0054】この第1の中央領域2においては、入力バッファ回路領域7、中央回路領域6およびデータ入出力回路領域8がこの第1の中央領域2の中央部分に集中的に配置される。中央制御回路6と入力バッファ回路領域7内の入力バッファ回路との距離および中央制御回路領域6とデータ入出力回路領域8の距離を短くするとともに、この中央制御回路領域6から各メモリセルアレイ4a~4dへの距離をできるだけ短くする。したがって、この第1の中央領域2においては、入力バッファ回路領域7およびデータ入出力回路領域8の周辺部(第1の中央領域2において入力バッファ回路領域7およびデータ入出力回路領域8よりもチップ端部に近い領域)においては、アクセス動作に必要な回路はそれほど配置されておらず、面積的に余裕がある。ここで、以下の説明においては、「周辺部」という用語を、半導体記憶装置のアクセスに必要とされる回路が配置されている領域よりもチップ端部に近い領域を示しかつメモリセルアレイが形成された領域以外の領域であり、チップ外周部およびパッド間領域を含む領域を示すものとして用いる。

・【0055】この第1の中央領域2の入力バッファ回路領域7の周辺部に、基準電圧Vrefを発生する基準電圧発生回路(VREF)と、スタンバイサイクル時およびアクティブサイクル時に動作して、内部電源電圧を生

12

成するスタンバイ降圧回路(VDC)が配置されるVREF・スタンバイVDC配置領域10が設けられる。この第1の中央領域2において、また、データ入出力回路領域8の周辺部に、アクティブサイクル時に活性化されて、内部電源電圧を生成するアクティブ降圧回路(VDC)配置領域11が設けられる。

・【0056】また、第2の中央領域3においては、コラム系制御回路5aおよび5cの間の領域に、アクティブサイクル時に活性化され、内部電源電圧を生成するアクティブ降圧回路配置領域12aが設けられ、コラム系制御回路5bおよびコラム系制御回路5dの間の領域に、アクティブサイクル時活性化されて内部電源電圧を生成するアクティブ降圧回路配置領域12bが設けられる。

・【0057】VREF・スタンバイVDC配置領域10の含まれる基準電圧発生回路からの基準電圧Vrefは、アクティブ降圧回路配置領域11、12aおよび12bに含まれるアクティブ降圧回路へ伝達される。この領域10に含まれるスタンバイ降圧回路は、スタンバイサイクル時、内部電源電圧を、これらのアクティブ降圧回路配置領域11、12aおよび12bに含まれるアクティブ降圧回路に代えて各内部電源線へ伝達する。スタンバイサイクル時において、この半導体記憶装置は、プリチャージ状態であり各信号線は所定の電圧レベルにプリチャージされている(ダイナミック・ランダム・アクセス・メモリを想定している)。スタンバイサイクル時において、この半導体記憶装置における消費電流はリーク電流だけであり、極めて小さく、このスタンバイ降圧回路の電流駆動力は比較的小さくされる。また、リーク電流による内部電源電圧の変位は極めて穏やかであり、スタンバイ降圧回路が周辺部に配置されていても、高速応答は要求されないため、内部電源電圧を一定レベルに保持することができる。

・【0058】一方、領域12aおよび12bに含まれるアクティブ降圧回路は、コラム系制御回路5a、5c、5bおよび5dの動作時に内部電源電圧をこれらのコラム系制御回路5a~5dおよびコラム系回路へ供給する。したがってこれらにおいて、動作時比較的大きな電流が消費されるため、アクティブ降圧回路の電流駆動力はスタンバイ降圧回路のそれよりも十分大きくされる。領域11に含まれるアクティブ降圧回路は、データ入出力回路領域8に含まれるインタフェース回路部分を除く回路領域へ内部電源電圧を供給する。したがって、この回路においても、高速で内部書込データの生成および読出データを生成して出力バッファ最終段を駆動するために電流消費量は比較的大きくされており、この領域11に含まれるアクティブ降圧回路の電流駆動力も比較的大きくされている。

・【0059】VREF・スタンバイVDC配置領域10の半導体チップ1端部側に、外部からの電源電圧を受ける電源パッド13が配置される。アクティブ降圧回路領域

13

12aと中央制御回路領域6の間に、外部からの電源電圧を受ける電源パッド14aが配置され、またアクティブ降圧回路領域12bと中央制御回路領域6の間に、外部からの電源電圧を受ける電源パッド14bが配置される。アクティブ降圧回路領域11と半導体チップ1の端部の間に、外部からの電源電圧を受ける電源パッド15が配置される。VREF・スタンバイVDC領域10の基準電圧発生回路およびスタンバイ降圧回路は、この電源パッド13からの電源電圧を利用する。アクティブ降圧回路領域12aに含まれるアクティブ降圧回路は、電源パッド14aからの電源電圧を利用する。アクティブ降圧回路領域12bに含まれるアクティブ降圧回路は、この電源パッド14bからの電源電圧を利用する。アクティブ降圧回路領域11に含まれるアクティブ降圧回路は、電源パッド15からの電圧を利用する。降圧回路に近接して、電源パッドを配置することにより、電源パッドから内部電源線への距離が短くなり、応じて、電源パッドから電流消費回路までの距離が短くなり、電源線の抵抗成分を小さくすることができ、電圧降下を抑制することができる。

・【0060】図2は、図1に示すVREF・スタンバイ降圧回路(VDC)領域10に含まれる基準電圧発生回路およびスタンバイ降圧回路の構成を概略的に示す図である。

・【0061】図2において、基準電圧発生回路10aは、電源パッド13に接続される電源ノード13a上の外部電源電圧VCEと接地電圧とから一定の電圧レベルの基準電圧Vrefを発生する。

・【0062】スタンバイ降圧回路10bは、この基準電圧発生回路10aからの基準電圧Vrefと内部電源線20上の内部電源電圧VCIとを比較する比較器10baと、この比較器10baの出力信号に従って電源ノード13bから内部電源線20へ電流を供給するpチャネルMOSトランジスタで構成される電流ドライプトランジスタ10bbを含む。電源ノード13bは、電源パッド13に接続される。

・【0063】この比較器10baは、実質的に差動増幅回路の構成を備えており、常時動作して、基準電圧Vrefと内部電源電圧VCIとを比較する。このスタンバイ降圧回路10bは、スタンバイサイクル時における各回路でのリーク電流による内部電源電圧VCIの低下を補償するだけである。ダイナミック・ランダム・アクセス・メモリにおいては、スタンバイサイクル時における電流(スタンバイ電流)は、アクティブ動作時における電流よりも極めて小さい。したがってこの電流ドライプトランジスタ10bbの電流駆動力は十分小さくされ、またスタンバイサイクル時における内部電源電圧VCIの急激な変化は生じないため比較器10baの応答速度も比較的遅くされる。すなわち、この比較器10baに含まれるMOSトランジスタの電流駆動力も小さくされ

14

る。これにより、スタンバイサイクル時においてスタンバイ降圧回路が動作したときの消費電流の増加を抑制する。

・【0064】図3は、図1に示すアクティブ降圧回路領域11、12aおよび12bに含まれるアクティブ降圧回路の構成を概略的に示す図である。図3において、アクティブ降圧回路は、活性化時、基準電圧Vrefと内部電源線20a上の内部電源電圧VCIを比較し、該比較結果を示す信号を出力する比較器25aと、アクティブサイクル指示信号φAにตอบสนองして活性化され、この比較器25aに電流経路を形成して比較器25aを活性化する電流源トランジスタ25bと、比較器25aの出力信号に従って電源ノード26から内部電源線20aへ電流を供給するpチャネルMOSトランジスタで構成される電流ドライプトランジスタ25cを含む。

・【0065】この図3に示すアクティブ降圧回路の構成において、アクティブサイクル指示信号φAの非活性化時(Lレベル)、電流源トランジスタ25bは非導通状態であり、比較器25aは非活性状態とされ、その出力信号はHレベルとなり、電流ドライプトランジスタ25cは非導通状態を維持する。したがってこの状態においては、電源ノード26から内部電源線20aへの電流供給は行なわれない。動作時に内部電源線20aに流れる動作電流は、スタンバイ時に流れる電流よりも極めて大きいため、この電流ドライプトランジスタ25cの電流駆動力は十分大きくされる。また、この内部電源線20aにおける動作電流により、内部電源電圧VCIが急激に低下するのを防止するため、比較器25aの応答速度が速くされており、したがって比較器25aの構成要素であるMOSトランジスタのサイズ(ゲート幅またはゲート幅とゲート長の比)を大きくされている。したがってスタンバイサイクル時において、この比較器25aを常時動作させた場合、比較器25aにおける電流消費が大きく、スタンバイ電流を増加させる。したがって、このような比較的大きな電流駆動力を有する比較器25aにおいて、スタンバイサイクル時、その電源ノードから接地へ流れる電流経路を遮断することにより比較器における消費電流を低減する。活性化信号φAは、この内部電源線20a上の電流を消費する回路の動作により規定される。

・【0066】図4は、コラム系回路の構成の一例を示す図である。図4において、1つのメモリアレイ(参照番号4で代表的に示す)に対するコラム系回路を代表的に示す。

・【0067】図4において、コラム系回路は、対応のコラム系制御回路5(5a~5d)からのコラムデコードイネーブル信号CDEにตอบสนองして活性化され、図示しないコラムアドレス信号をデコードし、アドレス指定された列を選択するための列選択信号CSLを発生する(活性化する)コラムデコード30aと、コラム系制御回路

15

5からのプリアンプイネーブル信号PAEの活性化に
 10 答して活性化され、内部IOバスIOP上のデータを増
 幅するプリアンプ30bと、コラム系制御回路5からの
 ライトドライイネーブル信号WDEの活性化に
 15 答して活性化され、データ入出力回路8aから与えられたデ
 ータに従って内部IOバスIOPを駆動するライトド
 ライバ30cを含む。プリアンプ30bおよびライトド
 ライバ30cはデータ入出力回路8aに電氣的に結合され
 る。メモリアレイ4においては、メモリセルが行列状に
 20 配置されており、メモリセル各列に対応してビット線対
 BLPが配置される。1つのビット線対BLPに1列の
 メモリセルが接続される。コラムデコーダ30aからの
 列選択信号CSLは、各ビット線対BLPに設けられた
 列選択ゲートCGへ与えられる。列選択ゲートCGは対
 25 応の列選択信号CSLが活性状態のとき導通し、対応の
 ビット線対BLPを内部IOバスIOPへ接続する。デ
 ータ入出力回路8aのデータ入出力タイミングは、中央
 制御回路6aからの制御信号により決定される。

・【0068】これらのコラム系回路は、DRAMの場
 30 合、コラムアドレスストロブ信号/CASの活性化に
 従って活性化/非活性化される。ただし、ライトドライ
 バイイネーブル信号WDEは、コラムアドレスストロブ
 信号/CASとライトイネーブル信号/WEがともに活
 性状態のときに活性化される。

・【0069】したがって、図3に示すアクティブ降圧回
 路が、コラム系制御回路5に対して内部電源電圧VCI
 を供給する場合には、このアクティブサイクル指示信号
 40 ϕA として、コラムアドレスストロブ信号/CASの
 反転信号を利用することができる(コラムアドレススト
 ロブ信号/CASは活性化時Lレベル)。

・【0070】またこれに代えて、DRAMがメモリサイ
 クルに入る、すなわち行選択動作を行なうときに、この
 アクティブ降圧回路を活性化する場合には、周知のロウ
 アドレスストロブ信号/RASの反転信号を利用する
 ことができる。コラム系回路は、ロウアドレスストロ
 50 ブ信号/RASに従って動作する回路(RAS系回路)
 の動作完了後活性化される(コラムインターロック期間
 が完了した後)。したがって、このコラム系制御回路5
 に内部電源電圧VCIを供給するアクティブ降圧回路の
 活性化指示信号としてロウアドレスストロブ信号/R
 ASを用いてもよいが、このコラムインターロック期間
 ・(列選択動作が禁止される期間)に比較器25aにお
 ける消費電流が増加するため、活性化指示信号 ϕA とし
 て、コラムアドレスストロブ信号/CASを利用する
 のが好ましい。

・【0071】【電源線の配置】図5はこの発明の実施の
 形態1における内部電源線の配置を概略的に示す図であ
 る。図5において、基準電圧発生回路10aからの基準
 電圧Vrefは、ループ状に第1の中央領域に配置され
 る配線45aおよび45bにより伝達される。内部配線

16

45aからアクティブ降圧回路12aa(アクティブ降
 圧回路領域12aに含まれる)へ基準電圧Vrefが与
 えられる。内部配線45bからアクティブ降圧回路12
 ba(領域12bに含まれる)基準電圧Vrefが与え
 られる。アクティブ降圧回路11a(アクティブ降圧回
 路領域11に含まれる)に対しては、内部配線45aお
 よび45bを介して基準電圧Vrefが伝達される。最
 も遠いアクティブ降圧回路11aに対し、内部配線45
 aおよび45b両者を用いて基準電圧Vrefを伝達す
 ることにより、安定にこの遠方のアクティブ降圧回路1
 1aに基準電圧Vrefを伝達することができる。

・【0072】スタンバイ降圧回路10b(領域10に含
 まれる)からの内部電圧VCIは、基準電圧伝達用配線
 45a、45bと同様に、第1の中央領域に中央制御回
 路6aおよびデータ入出力回路8aを囲むようにループ
 状に配設される内部電源線40a、40b、40c、4
 1c、41bおよび41aにより伝達される。コラム系
 制御回路5aに対して設けられた内部電源線42aは、
 内部電源線40aおよび40bに接続される。コラム制
 20 御回路5bに対して設けられた内部電源線43aは、内
 部電源線41aおよび41bに接続される。コラム系制
 御回路5cに対して設けられた内部電源線42bへは、
 内部電源線40bおよび40cが接続される。コラム系
 制御回路5dに対して設けられた内部電源線43bは、
 内部電源線41bおよび41cに接続される。内部電源
 線40cおよび41cの間の内部電源線44へは、アク
 ティブ降圧回路11aから内部電源電圧が供給される。
 データ入出力回路8aは、内部電源線40c、41cお
 よび44上の内部電源電圧を動作電源電圧として動作す
 30 る。

・【0073】アクティブ降圧回路12aaは、内部電源
 線42aおよび42bへ内部電源電圧を供給する。アク
 ティブ降圧回路12baは内部電源線43aおよび43
 bへ内部電源電圧を供給する。中央制御回路6aは、内
 部電源線40bおよび41b上の電源電圧を、動作電源
 電圧として動作する。

・【0074】中央制御回路6aの動作時において、内部
 電源線40bおよび41b上の電流が消費された場合、
 アクティブ降圧回路12aaおよび12baにより電流
 40 が供給される。この中央制御回路6aに対し両側の内部
 電源線40bおよび41bからの動作電源電圧を供給す
 ることにより、この中央制御回路6aの動作電源電圧伝
 達線が強化されて、安定に中央制御回路6aへ電源電圧
 を供給する。この場合、特に、電源パッド14aおよび
 14bが中央制御回路6aに近接して配設されており、
 この電源パッド14aおよび14bから中央制御回路6
 aの電流消費回路までの内部電源線の距離は短く、この
 間の抵抗値を小さくすることで、電圧降下を十分に抑制
 50 することができ、また別々のパッド14aおよび14b
 から安定に電流を供給することができる。

17

・【0075】各コラム系制御回路5a～5dにおいても、アクティブ降圧回路12aaおよび12baは、近接して配設された電源パッド14aおよび14bから電流を供給されて内部電源線42a、42bおよび43a、42b上に所定の電圧レベルの内部電源電圧を生成している。したがって、これらのコラム系制御回路5a～5dにおいても、電流消費回路と、対応の電源パッド14aまたは14bの間の距離が短く、この内部電源線の抵抗は小さくすることができ、安定にこれらのコラム系制御回路5a～5dへ一定の電圧レベルの内部電源電圧を供給することができる。

・【0076】データ入出力回路8aは、内部電源線40c、41cおよび44上の電源電圧を動作電源電圧として動作している。この内部電源線40c、41cおよび44上の電源電圧が、データ入出力回路8aの動作により変化した場合、アクティブ降圧回路11aがこの変化を検知して、もとの電源電圧レベルに復帰させる。この場合においても、アクティブ降圧回路11a近傍に配置された電源パッド15からデータ入出力回路8aまでの距離は短く、電源線における配線抵抗による電圧降下は十分に抑制される。

・【0077】また、各回路領域近傍にアクティブ降圧回路12aaおよび12baおよび11aを配設しているため、対応の回路動作時において電流が消費された場合、対応のアクティブ降圧回路近傍の内部電源線の電圧が低下するため、近傍に設けられたアクティブ降圧回路がこの電圧低下にตอบสนองして動作して元の電源電圧レベルへ復帰させる。したがって、このようにループ状に内部電源線を相互接続する場合においても、1つの回路部分の動作が他の回路部分の電源電圧に影響を及ぼすのを抑制することができる。特に、コラム系制御回路5a～5dに対して、それぞれこのスタンバイ降圧回路10bとアクティブ降圧回路11a間にループ状に第1の中央領域に配設される内部電源線40a～40cおよび41c～44から枝分かれして内部電源線42a、42bおよび43a、43bが配設されており、このスタンバイ降圧回路10bとアクティブ降圧回路11aの間のループ状の内部電源線40a～40cおよび41a～41cおよび44の配線幅を太くしておけば、これらの内部電源線42a、42b、43aおよび43bの電源ノイズが、ループ状のインピーダンスが十分低くされた内部電源線40a～40cおよび41a～41cおよび44により吸収され、他回路へ電源ノイズが伝達されるのを防止することができる。

・【0078】また、各アクティブ降圧回路12aa、12baおよび11aそれぞれに対応して、電源パッドを配置しているため、個々のアクティブ降圧回路の外部電源線のインピーダンスは極めて小さくされ、この電源電圧に対するノイズが生じるのが十分に抑制される。また、アクティブ降圧回路12aa、12baおよび11

18

aの動作時において、それぞれの動作が外部電源電圧に対し変動を及ぼしても、他のアクティブ降圧回路への外部電源電圧ノイズが伝達されるのを抑制することができる。

・【0079】中央制御回路6aの動作時において、内部電源線42a、42bおよび43a、43bを介して電流が内部電源線40bおよび41bへ供給される。この場合、内部電源線42a、42b、43aおよび43bの電源電圧レベルが変動することが考えられる。しかしながら、この場合、中央制御回路6aの制御の下にコラム系制御回路5a～5dが動作する。したがって、この中央制御回路6aの動作後にコラム系制御回路5a～5dが動作するため、この中央制御回路6aの動作による内部電源線42a、42b、43a、43bの電源変動が、コラム系制御回路5a～5dに対し悪影響を及ぼすのを無視することができる。このとき、電源パッド14aおよび14bが中央制御回路6aに近接して配置されており、アクティブ降圧回路12aaおよび12baは、電圧降下をもたらすことなく高速で内部電源線40bおよび41bへ電流を供給することができ、高速でこの内部電源線40bおよび41b上の電源電圧を元の電圧レベルに復帰させることができる。

・【0080】データ入出力回路8aの動作時において、アクティブ降圧回路11aがこの内部電源線40cおよび41cの電圧の変化を検出して、内部電源線40cおよび41cへ内部電源線44を介して電流を供給し、元の電圧レベルに復帰させる。この場合においても、データ入出力回路8aの配置領域と、アクティブ降圧回路12aaおよび12baの間の配置の距離が長ければ、内部電源線によるRC遅延により、急激な変化はフィルタ処理されて、アクティブ降圧回路12aaおよび12baにより十分これらの内部電源線40a、40b、43a、43bに対する電圧変動は補償される。この内部電源線40cおよび41cおよび44上のデータ入出力回路8aの動作による電圧変化は、その近傍に設けられたアクティブ降圧回路11aによる高速応答により電流が供給されて他回路に対する悪影響を及ぼす前に十分に補償され、元の電圧レベルに復帰させることができる。

・【0081】したがって、このような図5に示すようにループ状に内部電源線を配設し、各回路の内部電源線を相互接続しても、各回路動作時において、1つの回路動作が、他回路に対する内部電源電圧レベルに悪影響を及ぼすのを防止することができる。この場合、このループ状に配設される内部電源線の線幅を十分太くしておけば、特にこのような問題は解消される。

・【0082】基準電圧Vrefは、内部配線45aおよび45bを介して各アクティブ降圧回路12a、12bおよび11aに伝達されている。この場合、内部電源線と基準電圧伝達用の内部配線とを別の配線層とすることにより、配線占有面積を増加することなくこの基準電圧

19

発生回路10aおよびスタンバイ降圧回路10bから基準電圧 V_{ref} および内部電源電圧 V_{CI} をそれぞれ供給することができる。

・【0083】〔電源線の配置2〕図6は、この発明の実施の形態1の内部電源線の第2の配置を示す図である。図6に示す構成においては、第1の中央領域2の周辺部領域に、2つのスタンバイ降圧回路(VDC)10baおよび10bbが設けられる。これらのスタンバイ降圧回路10baおよび10bbに対しては、基準電圧発生回路(VREF)10aからの基準電圧 V_{ref} が共通に与えられる。スタンバイ降圧回路10baからの内部電源電圧 V_{CI} は、内部電源線50aを介してコラム系制御回路5aおよび5cそれぞれに対応して設けられる内部電源線42aおよび42bに伝達される。スタンバイ降圧回路10bbからの内部電源電圧 V_{CI} は、内部電源線50cを介してコラム系制御回路5bおよび5dそれぞれに対して設けられる内部電源線43aおよび43bに伝達される。

・【0084】内部電源線42aおよび42bの間には、アクティブ降圧回路12aaが設けられ、このアクティブ降圧回路12aaに近接して、電源パッド14aが配置される。内部電源線43aおよび43bの間に、アクティブ降圧回路12baが設けられ、このアクティブ降圧回路12baに近接して、電源パッド14bが配置される。

・【0085】中央制御回路6aは、内部電源線50aおよび50cから内部電源電圧を供給される。スタンバイ降圧回路10baおよび10bbはさらに、それぞれ電源線50bおよび50dを介してスタンバイ時に内部電源電圧を伝達する。内部電源線50bおよび50dは、第2の中央領域2の他方側に配置されたアクティブ降圧回路11aの近傍において、相互接続される。データ入出力回路8aは、この内部電源線50bおよび50dを介して内部電源電圧が供給される。アクティブ降圧回路11aは、アクティブサイクル時電源線50bおよび50dへ電流を供給して、データ入出力回路8aに対する電源電圧を安定化する。

・【0086】基準電圧発生回路10aからの基準電圧 V_{ref} は、内部配線52aを介してアクティブ降圧回路12aaへ伝達され、また内部配線52bを介してアクティブ降圧回路12baへ供給される。さらに、この基準電圧 V_{ref} は、内部配線52aおよび52bを介してアクティブ降圧回路11aに伝達される。

・【0087】この図6に示す電源線の配置においては、コラム系制御回路5aおよび5cに対してスタンバイ降圧回路10baが設けられ、コラム系制御回路5bおよび5dに対しては、スタンバイ降圧回路10bbが設けられる。このスタンバイ降圧回路10baおよび10bbの内部電源線を互いに独立な別系統とすることにより、コラム系制御回路5aおよび5cの動作時に、コラ

20

ム系制御回路5bおよび5dに対して設けられた内部電源線43aおよび43bの内部電源電圧に悪影響を及ぼすのを完全に防止することができる。また、アクティブ降圧回路11aへは、これらの内部電源線50aおよび50cと別の内部電源線50bおよび50dを介して内部電源電圧を伝達しており、データ入出力回路8aの動作時において、その内部電源電圧変動が、コラム系制御回路5a~5dの内部電源線42a、42b、43aおよび43bに対し影響を及ぼすのを確実に防止することができる。基準電圧発生回路10aおよびスタンバイ降圧回路10baおよび10bbから最も遠い距離にある。この場合、2つの内部配線を用いて電圧を伝達することにより等価的に、これらの配線幅が広くなり、確実に、安定に内部電源電圧および基準電圧をこのアクティブ降圧回路11aに供給することができる。

・【0088】この図6に示す電源配置の場合、コラム系制御回路5aおよび5cとコラム系制御回路5bおよび5dとデータ入出力回路8aとをそれぞれ電源配線を別系統とすることにより、これらの回路は確実に電源ノイズの影響を受けることなく確実に安定に動作することができる。

・【0089】また、このスタンバイ降圧回路10baおよび10bbを別々に設けることにより、コラム系制御回路5aおよび5cとコラム系制御回路5bおよび5dをそれぞれ互いに独立に動作させることができ、ブロック分割動作またはバンク動作時においても安定に内部電源電圧を供給することができる。

・【0090】以上のように、この発明の実施の形態1に従えば、基準電圧発生回路およびスタンバイ降圧回路を面積的に余裕のある周辺部に配置し、アクティブ降圧回路のみを電流消費の多い回路部近傍に配置したため、アクティブ降圧回路およびスタンバイ降圧回路両者を用いる内部電源回路の占有面積を増加させることなく内部電源電圧を安定に供給することのできる内部電源回路のレイアウトを実現することができる。また、降圧回路を各アレイ共通に中央部分に配置するのではなく、分配配置させることにより、中央部分(中央制御回路領域)の面積増加を抑制でき、応じてチップサイズの増加を抑制できる。また、スタンバイ降圧回路およびアクティブ降圧回路両者に用いられる基準電圧を、1つの基準電圧発生回路で発生するようにしているため、この基準電圧発生回路の全体としての占有面積も低減することができる。

・【0091】また、アクティブ降圧回路近傍に電源パッドを配置することにより、電源パッドからアクティブ降圧回路近傍に配置された電流消費の多い回路までの距離が短くなり、応じて内部電源線の配線抵抗も小さくなり、高速動作時に動作周波数が高くなり、消費電流が増加しても、配線抵抗に起因する電圧降下を確実に抑制することができる。

・【0092】また、各降圧回路に対する電源インピーダ

シスが低くなり、内部電源電圧の変動に応じて高速に電流を外部電源パッドから対応の内部電源線に供給することができる。また、他の降圧回路動作時における外部電源電圧の変動が、他の降圧回路の外部電源電圧に悪影響を及ぼすのを防止することができる。

・【0093】【実施の形態2】図7は、この発明の実施の形態2において用いられる内部降圧回路の構成を概略的に示す図である。図7において、内部降圧回路は、基準電圧発生回路90からの基準電圧 V_{ref} と内部電源線95上の内部電源電圧 V_{CI} に対応する電圧とを比較し、その比較結果に従って外部電源ノード113から内部電源線95へ電流を供給する駆動回路100を含む。

・【0094】この駆動回路100は、内部電源線95上の内部電源電圧 V_{CI} をレベルシフトするレベルシフト回路102と、このレベルシフト回路102の出力電圧と基準電圧 V_{ref} とを比較し、その比較結果に従って内部電源線95へ外部電源ノード113から電流を供給する内部電圧調整回路104を含む。

・【0095】このレベルシフト回路102は、出力ノード N_x と内部電源線95の間に直列に接続されかつそのゲートに固定電圧 V_F を受けるpチャネルMOSトランジスタ T_1 、 T_2 、 T_3 および T_4 と、これらのMOSトランジスタ $T_1 \sim T_4$ と並列に設けられ、それぞれのゲートにチューニング回路106からの制御信号 SW_A 、 SW_B 、 SW_C 、 SW_D が与えられるpチャネルMOSトランジスタ P_1 、 P_2 、 P_3 、 P_4 と、出力ノード N_x と接地ノードの間に接続される定電流源102aを含む。

・【0096】固定電圧 V_F は、中間電圧レベルまたは接地電圧レベルに設定され、pチャネルMOSトランジスタ $T_1 \sim T_4$ は、それぞれ抵抗素子として作用する。pチャネルMOSトランジスタ $P_1 \sim P_4$ は、チューニング回路106からの制御信号 $SW_A \sim SW_D$ に従って、選択的に導通状態とされ、対応の（並列に設けられた）pチャネルMOSトランジスタ $T_1 \sim T_4$ を選択的に短絡する。

・【0097】このレベルシフト回路102は、内部電源電圧 V_{CI} を、定電流源102aとMOSトランジスタ $T_1 \sim T_4$ および $P_1 \sim P_4$ の合成抵抗により決定される電圧レベルに低下する。このレベルが低下された電圧が内部電圧調整回路104へ与えられる。

・【0098】この内部電圧調整回路104は、基準電圧 V_{ref} とレベルシフト回路102の出力電圧を比較する比較器104aと、外部電源ノード113と内部電源線95の間に接続され、比較器104aの出力信号をゲートに受けるpチャネルMOSトランジスタで構成される電流ドライバトランジスタ104bを含む。内部電源電圧 V_{CI} をレベルシフト（レベル低下）して比較器104aへ与えることにより、比較器104aの最も感度のよい領域でこの比較器104aを動作させることがで

きる。

・【0099】このレベルシフト回路102の出力ノード N_x に現われる電圧レベル $V(N_x)$ は、MOSトランジスタ $T_1 \sim T_4$ および P_1 および P_4 の合成抵抗を R とし、定電流源102aの流れる電流を I とすると、次式で表わされる。

$$\cdot【0100】 V(N_x) = V_{CI} - I \cdot R$$

このレベルシフト回路102の出力ノード N_x から出力される電圧 $V(N_x)$ と基準電圧 V_{ref} とが比較されてこの電圧 $V(N_x)$ と基準電圧 V_{ref} とが同じ電圧レベルとなるように内部電源線90上の内部電源電圧 V_{CI} のレベルの調整が行われる。すなわち、内部電源電圧 V_{CI} と基準電圧 V_{ref} との関係は次式で表わされる。

$$\cdot【0101】 V_{CI} = V_{ref} + I \cdot R$$

MOSトランジスタ $P_1 \sim P_4$ を選択的に非導通状態とすることにより、この合成抵抗 R の値を大きくすることができる。したがって、この抵抗値 R を調整することにより、各半導体装置の製造パラメータのばらつきに起因する内部電源電圧 V_{CI} の設計値レベルからのずれを調整することができる。たとえばMOSトランジスタ P_1 を非導通状態とし、残りのMOSトランジスタ $P_2 \sim P_4$ をすべて導通状態とすると、合成抵抗値 R は、MOSトランジスタ T_1 の抵抗値により与えられる。MOSトランジスタ $P_1 \sim P_4$ をすべて非導通状態とすると、この合成抵抗値 R はMOSトランジスタ $T_1 \sim T_4$ の抵抗値を加算した値となる。このMOSトランジスタ $P_1 \sim P_4$ をチューニング回路106からの制御信号 $SW_A \sim SW_D$ に従って選択的に導通／非導通状態とする。

・【0102】図8(A)は、このチューニング回路106の構成の一例を示す図である。図8(A)において、チューニング回路106は、外部電源ノード（電源線）113にそれぞれ接続される溶断可能なリンク素子 $F_A \sim F_D$ と、これらのリンク素子 $F_A \sim F_D$ 各々と接地ノードの間に接続される高抵抗の抵抗素子 $Z_A \sim Z_D$ を含む。リンク素子 F_A および高抵抗素子 Z_A の接続ノードから制御信号 SW_A が出力される。リンク素子 F_B および高抵抗素子 Z_B の接続ノードから制御信号 SW_B が出力される。リンク素子 F_C と高抵抗素子 Z_C の接続ノードから制御信号 SW_C が出力される。リンク素子 F_D と高抵抗素子 Z_D の接続ノードからの電圧信号を受けるインバータ106aを介して制御信号 SW_D が出力される。

・【0103】リンク素子 $F_A \sim F_D$ がすべて導通状態のときには、制御信号 SW_D がLレベル、制御信号 $SW_A \sim SW_C$ すべてがHレベルである。この状態においては、図7に示すMOSトランジスタ P_4 のみが導通し、残りのMOSトランジスタ $P_1 \sim P_3$ は非導通状態となる。リンク素子 F_D を溶断すれば、制御信号 SW_D はHレベルとなり、MOSトランジスタ P_4 が非導通状態と

23

なる。逆に、リンク素子FA~FCの各々を溶断することにより、制御信号SWA~SWCの各々がLレベルとなり、レベルシフト回路102の対応のMOSトランジスタP1~P3が導通状態となる。

・【0104】初期状態においては、リンク素子FA~FDはすべて導通状態にある。この状態において、内部電源電圧VCIが所定電圧レベルよりも高い場合には、リンク素子FA~FCをたとえばレーザ光線のようなエネルギー線を照射して選択的に溶断して、制御信号SWA~SWCを選択的にLレベルとし、MOSトランジスタP1~P3を選択的に導通状態とする。これにより、レベルシフト回路102における合成抵抗が小さくなり、内部電源電圧VCIのレベルが低下する。逆に、内部電源電圧VCIの電圧レベルが低い場合には、リンク素子FDを溶断し、制御信号SWDをHレベルとする。これにより、MOSトランジスタT4の抵抗値が加算され、内部電源電圧VCIの電圧レベルが上昇する。

・【0105】このチューニング回路106は、図8

・(A)に示すように、たとえばレーザ光線などのエネルギー線照射により溶断されるリンク素子FA~FDを含んでいる。このリンク素子の占有面積は、確実に溶断する(プログラムする)ために比較的広くされている。

・【0106】図8(B)は、図7に示す基準電圧発生回路90の構成の一例を示す図である。この図8(B)に示す基準電圧発生回路は、また実施の形態1に示す基準電圧発生回路と同様の構成を備える。図8(B)において、基準電圧発生回路90は、外部電源ノード113と内部ノードNyの間に接続されかつそのゲートがノードNzに接続されるpチャネルMOSトランジスタQ1と、外部電源ノード113と内部ノードNzの間に接続されかつそのゲートがノードNzに接続されるpチャネルMOSトランジスタQ2と、内部ノードNyと接地ノードの間に接続されかつそのゲートが内部ノードNyに接続されるnチャネルMOSトランジスタQ3と、内部ノードNzとノードNwの間に接続されかつそのゲートがノードNyに接続されるnチャネルMOSトランジスタQ4と、ノードNwと接地ノードの間に接続される抵抗素子RAを含む。このMOSトランジスタQ1~Q4および抵抗素子RAは、定電流発生回路として作用する。

・【0107】この基準電圧発生回路90は、さらに、外部電源ノード113と出力ノードNuの間に接続される抵抗素子RBと、ノードNuと接地ノードの間に接続されかつそのゲートがノードNzに接続されるnチャネルMOSトランジスタQ5を含む。この抵抗素子RBおよびMOSトランジスタQ5は、定電圧発生回路として作用する。次にこの図8(B)に示す回路の動作について簡単に説明する。

・【0108】電源が投入されて、この電源ノード113の電圧レベルが上昇すると、MOSトランジスタQ1お

24

よびQ2が導通し、ノードNyおよびNzへ電流を供給する。ノードNyの電圧レベルが上昇すると、MOSトランジスタQ3が導通する。このノードNyの電圧レベルがノードNwの電圧レベルよりもMOSトランジスタQ4のしきい値電圧以上高くなると、MOSトランジスタQ4が導通する。MOSトランジスタQ2およびQ1はカレントミラー回路を構成しており、このMOSトランジスタQ2を介して流れる電流と同じ大きさの電流がMOSトランジスタQ1を介して流れる(MOSトランジスタQ1およびQ2はサイズが等しいとしている)。

・【0109】一方、MOSトランジスタQ3のゲートおよびドレインはMOSトランジスタQ4のゲートに接続されており、MOSトランジスタQ3が流れる電流のミラー電流がMOSトランジスタQ4を介して流れる。MOSトランジスタQ3のソースは接地ノードに接続されており、一方、MOSトランジスタQ4のソースがノードNwに接続されている。したがって、このMOSトランジスタQ3およびQ4に同じ大きさの電流が流れるとき、ノードNzの電圧レベルが、ノードNwの電圧レベルだけ、ノードNyの電圧レベルよりも高くなる(MOSトランジスタQ3は飽和領域で動作し、MOSトランジスタQ4は不飽和領域で動作している)。

・【0110】MOSトランジスタQ2およびQ4を介して流れる電流が増加すると、抵抗素子RAにより、ノードNwの電圧レベルが上昇する。一方、MOSトランジスタQ2の電流も増加するが、MOSトランジスタQ3は飽和領域で動作しており、ノードNyの電圧レベルの上昇は抵抗素子RAを流れる電流増加によるノードNwの電圧増加よりも小さく、したがってMOSトランジスタQ4を介して流れる電流が低減される。応じて、MOSトランジスタQ2、Q1およびQ3を介して流れる電流が低下する。逆に、MOSトランジスタQ2およびQ4を介して流れる電流が低下すると、MOSトランジスタQ1およびQ3を介して流れる電流が低下し、ノードNyの電圧レベルが低下する。このノードNyの電圧低下は、ノードNwの電圧低下よりも小さく、MOSトランジスタQ4がコンダクタンスが大きくなり、より大きな電流を流す。

・【0111】一方、逆にMOSトランジスタQ1およびQ3を介して流れる電流が増加した場合、ノードNyの電圧レベルが上昇する。これにより、MOSトランジスタQ4にも大きな電流が流れるが、抵抗素子RAを流れる電流が増加し、ノードNwの電圧レベルが上昇し、このMOSトランジスタQ4を介して流れる電流増加を抑制する。MOSトランジスタQ4を介して流れる電流はMOSトランジスタQ2を介して与えられる。したがって、このMOSトランジスタQ1を介して流れる電流が増加した場合、MOSトランジスタQ2の作用によりその電流増加が停止される。逆に、MOSトランジスタQ1およびQ3を介して流れる電流が少なくなると、ノード

25

ドN_yの電圧レベルが低下し、応じてMOSトランジスタQ₄を介して流れる電流が低下し、ノードN_wの電圧レベルが低下する。このノードN_wの電圧低下に従って、MOSトランジスタQ₄のコンダクタンスが大きくなり、MOSトランジスタQ₂を介して流れる電流が大きくなる。したがって、このMOSトランジスタQ₁およびQ₂のカレントミラー段およびMOSトランジスタQ₃およびQ₄のカレントミラー段により、これらのMOSトランジスタQ₁~Q₄には安定に一定の大きさの電流が流れる。この定電流発生段の安定状態においては、ノードN_zの電圧とノードN_yの電圧の差は、抵抗素子R_Aにかかる電圧に等しい。したがって、ノードN_zの電圧レベルは一定となる。

・【0112】ノードN_zの電圧をゲートに受けるMOSトランジスタQ₅は、定電流源として作用し、抵抗素子R_Bから一定の電流を引抜く。したがって基準電圧V_{ref}は、外部電源電圧V_{CE}と抵抗素子R_Bにかかる電圧との差に等しい電圧レベルとなる。

・【0113】なお、この抵抗値調整用のトランジスタ素子の数は、4に限定されず、他の数であってもよい。

・【0114】また、図8(B)に示す基準電圧発生回路90において、出力段のMOSトランジスタQ₅は、pチャネルMOSトランジスタで構成されてもよい。また、pチャネルMOSトランジスタQ₅が電源ノード113に接続され、このMOSトランジスタと接地ノードの間に抵抗素子が接続される構成が用いられてもよい。この場合には、基準電圧V_{ref}は、外部電源電圧に依存しない一定の電圧レベルとなる。

・【0115】図9は、この発明の実施の形態2に従う半導体装置の全体のレイアウトを概略的に示す図である。図9において、実施の形態1と同様、半導体チップ1上の第1の中央領域2および第2の中央領域3により4分割された領域それぞれにメモリセルアレイ4a、4b、4cおよび4dが配置される。また、これらのメモリセルアレイ4a、4b、4cおよび4dそれぞれに対応して、コラム系制御回路5a、5b、5cおよび5dが配置される。さらに、第1の中央領域2の中央部分に中央制御回路6が配置され、この中央制御回路6に隣接して入力バッファ回路領域7およびデータ入出力回路領域8が配置される。これらの構成は実施の形態1と同様である。

・【0116】この発明の実施の形態2においては、第1の中央領域2の周辺部に、入力バッファ回路領域7に隣接して、基準電圧(V_{REF})およびチューニング回路領域110が設けられる。この領域110内に、図8(A)および(B)に示すチューニング回路106および基準電圧発生回路90が配置される。

・【0117】コラム系制御回路5aおよび5cの間の領域に、図7に示す駆動回路を配置する駆動回路領域112aが設けられる。コラム系制御回路5bおよび5dの

26

間の領域に、駆動回路領域112bが設けられる。また、第1の中央領域2において、このV_{REF}・チューニング回路領域110と中央制御回路領域6に関して対向する領域に、駆動回路領域112が配置される。

・【0118】駆動回路領域112aと中央制御回路6の間に、外部電源電圧を受ける電源パッド114aが配置され、駆動回路領域112bと中央制御回路領域6の間に、外部からの電源電圧を受ける電源パッド114bが配置される。V_{REF}・チューニング回路領域110とチップ端部の間に、領域110に近接して外部電源電圧を受ける電源パッド113が配置され、駆動回路領域111とチップ端部の間に外部電源電圧を受ける電源パッド115が配置される。これらの電源パッド配置は、実施の形態1の場合と同様であり、同様の作用効果を奏する。

・【0119】この図9に示す配置において、駆動回路領域112aに含まれる駆動回路は、コラム系制御回路5aおよび5cに対して内部電源電圧を供給し、駆動回路領域112bに含まれる駆動回路は、コラム系制御回路5bおよび5dに対して内部電源電圧を供給する。駆動回路領域111に含まれる駆動回路は、データ入出力回路領域8に含まれるデータ入出力回路に対し、内部電源電圧を供給する。

・【0120】V_{REF}・チューニング回路領域110に含まれる基準電圧発生回路(V_{REF})90は、駆動回路領域112a、112bおよび111それぞれに含まれる駆動回路に対し共通に基準電圧を供給する。また、このV_{REF}・チューニング回路領域110に含まれるチューニング回路は、これらの駆動回路領域112a、112bおよび111に含まれる駆動回路に対し共通に制御信号を伝達する。制御信号は2値信号であり、また、そのレベルも固定されるため、長距離にわたって伝達されても何らノイズの影響を受けることがなく、各レベルシフト回路のシフト量を正確に設定する。

・【0121】複数の駆動回路に共通な部分を1つの周辺部に配置する。これにより、各分散して配置される内部降圧回路の占有面積を低減することができる。特に、広い面積を必要とする基準電圧発生回路およびチューニング回路を、面積的に余裕のある周辺部領域110に配置することにより、この半導体装置の他の回路のレイアウトに悪影響を及ぼすことなく効率的に配置することができる。また、実施の形態1と同様、中央部に配置する構成と異なり分散配置により中央部の面積増大は生じず、テープサイズは増加しない。

・【0122】また駆動回路は、内部電圧調整回路とレベルシフト回路のみを含んでいるため、その占有面積は小さく、余裕を持って、第2の中央領域3内に配置することができる。また、駆動回路に隣接して電源パッド114a、114bおよび115を配置することにより、実施の形態1と同様、安定に内部電源電圧を対応の回路へ

27

供給することができる。

・【0123】図10は、この発明の実施の形態2の半導体装置の配線レイアウトを概略的に示す図である。図10において、コラム系制御回路5aに対して内部電源線132aaが配置され、コラム系制御回路5cに対し、内部電源線132abが配置される。これらの内部電源線132aaおよび132abは、内部電源線136aにより相互接続される。これらの内部電源線132aa、136a、および132abへは、駆動回路領域112aに含まれる駆動回路112abからの内部電源電圧が供給される。

・【0124】コラム系制御回路5bに対しては、内部電源線132baが配設され、コラム系制御回路5dに対しては内部電源線132bbが配設される。これらの内部電源線132baおよび132bbは内部配線136bにより相互接続される。これらの内部電源線132ba、132bbおよび136bは、駆動回路領域112bに含まれる駆動回路112baにより内部電源電圧が供給される。

・【0125】中央制御回路領域6に含まれる中央制御回路6aは、この内部電源線136aおよび136b上の電源電圧を利用する。

・【0126】データ入出力回路領域8に含まれるデータ入出力回路8aは、内部電源線134上の電源電圧を一方動作電源電圧として動作する。この内部電源線134へは、駆動回路領域111に含まれる駆動回路111aから内部電源電圧が供給される。

・【0127】第1の中央領域2の周辺部領域100に含まれる基準電圧発生回路(VREF)110aからの基準電圧Vrefは、内部配線150aおよび150bを介して伝達される。この内部配線150a上の基準電圧Vrefは、駆動回路112abへ与えられる。内部配線150b上の基準電圧は駆動回路112baに与えられる。内部配線150aおよび150bからの基準電圧Vrefが、駆動回路111aに与えられる。

・【0128】またさらに領域110に含まれるチューニング回路110bからの制御信号SWA~SWDは、内部配線152aを介して駆動回路112abへ供給され、また内部配線152bを介して駆動回路112baに与えられる。駆動回路111aへは、内部配線152aおよび152bを介して制御信号SWA~SWDが伝達される。内部電源線は、各回路領域に対し別々に設けられており、これらの内部電源線間のノイズ伝搬を確実に防止することができる。特に、各駆動回路に近接して電源パッド14a、14bおよび15が配設されており、これらの駆動回路は近接した電源パッドから対応の内部電源線へ安定に電流を供給することができる。

・【0129】また基準電圧Vrefはループ状に配設される内部配線を介して伝達されるが、この基準電圧Vrefは、一定電圧レベルであり高速応答特性は何ら必要

28

とされないため、この第1の中央領域2の周辺部から比較的長い距離をわたって、駆動回路112abおよび112baへ伝達されても、何ら問題は生じない(比較器の入力段は、MOSトランジスタのゲートであり、電流消費は生じていない)。駆動回路111aへは、この内部配線150aおよび150bを介して基準電圧が供給される。2つの伝搬経路を介して遠方の回路にまで基準電圧が供給され、安定にこの駆動回路120aへ基準電圧を供給することができる。また制御信号SWA~SWDについても、基準電圧と同様の利点が得られる。

・【0130】以上のように、この発明の実施の形態2に従えば、比較的広い面積を必要とする基準電圧発生回路およびチューニング回路を、面積的に余裕のある周辺部に配置し、電流消費を行なう回路に近接して、実際に内部電源電圧を発生する駆動回路を配設しているため、内部電源回路配置による面積増加を伴うことなく内部電源回路を配設することができる。

・【0131】また、これらの駆動回路に近接して電源パッドを配設することにより、各駆動回路それぞれが、対応の電源パッドから電流を対応の内部電源線へ供給することができ、高速応答で内部電源電圧の低下を補償することができる。また、電源パッドから電流を消費する回路までの距離が短くなり、内部電源線の配線抵抗に起因する電圧降下を抑制することができる。

・【0132】なお、この実施の形態1および実施の形態2を組合せることも可能である。すなわち、駆動回路を活性化指示信号に応答して選択的に活性状態とするとともに、この活性化指示信号に従ってレベルシフト回路102における電流経路を遮断する。このようなアクティブサイクル時にのみ活性化される駆動回路を利用する場合、図9の駆動回路領域にアクティブ駆動回路が配設される。また、領域110において、基準電圧発生回路、チューニング回路およびスタンバイ時に活性化されるスタンバイ駆動回路が配設されることになる。

・【0133】また上記実施の形態1および2において、外部電源電圧を降圧して内部電源電圧を生成する内部降圧回路について説明している。しかしながら、この外部電源電圧を別の電圧に変換し、この電圧が内部回路で利用される構成において、電圧変換回路構成が、内部降圧回路と同じである限り、本発明は適用可能である。

・【0134】また、半導体装置としては、ダイナミック・ランダム・アクセス・メモリ(DRAM)に限定されず、内部降圧回路を利用する回路であればよい。また、さらに、半導体装置として、内部降圧回路と同様の構成を備える電圧変換回路を有する装置であれば、本発明は適用可能である。

・【0135】

・【発明の効果】以上のように、この発明に従えば、基準電圧発生回路およびスタンバイ降圧回路または基準電圧発生回路およびチューニング回路を比較的面的に余裕

29

のある周辺部に配置し、電流を消費する回路近傍にそれぞれ、実際に電流を供給して内部電圧を生成するアクティブ降圧回路または駆動回路を配置しているため、チップ面積を増加させることなくまた、他回路の配線レイアウトに悪影響を及ぼすことなく効率的に内部電源電圧発生回路を配置することができる。

・【図面の簡単な説明】

・【図1】 この発明の実施の形態1に従う半導体装置の例を概略的に示す図である。

・【図2】 図1に示すスタンバイ降圧回路の構成を概略的に示す図である。

・【図3】 図1に示すアクティブ降圧回路の構成を概略的に示す図である。

・【図4】 図1に示すコラム系制御回路が制御するコラム系回路の構成を概略的に示す図である。

・【図5】 この発明の実施の形態1における配線レイアウトを概略的に示す図である。

・【図6】 この発明の実施の形態1の変更例における配線レイアウトを概略的に示す図である。

・【図7】 この発明の実施の形態2において用いられる駆動回路の構成を概略的に示す図である。

・【図8】 (A)は、図7に示すチューニング回路の構成一例を概略的に示し、(B)は、図7に示す基準電圧発生回路の構成の一例を示す図である。

・【図9】 この発明の実施の形態2に従う半導体装置の全体のレイアウトを概略的に示す図である。

30

・【図10】 この発明の実施の形態2における配線レイアウトを概略的に示す図である。

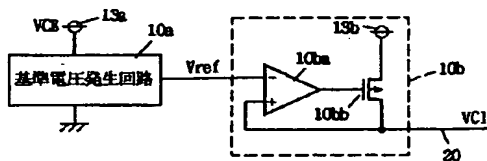
・【図11】 従来の内部降圧回路の構成を概略的に示す図である。

・【図12】 従来の内部降圧回路の変更例の構成を概略的に示す図である。

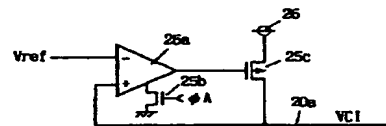
・【符号の説明】

1 チップ、2 第1の中央領域、3 第2の中央領域、4、4a、4b、4c、4d メモリアレイ、5 a、5b、5c、5d コラム系制御回路、6 中央制御回路領域、7 入力バッファ回路領域、8 データ入出力回路領域、10 基準電圧スタンバイ降圧回路領域、11、12a、12b アクティブ降圧回路領域、13、14a、14b、15 電源パッド、6a 中央制御回路、8a データ入出力回路、10a 基準電圧発生回路、10b スタンバイ降圧回路、11a、12a a、12ba アクティブ降圧回路、10ba、10b b スタンバイ降圧回路、90 基準電圧発生回路、95 内部電源線、100 駆動回路、102 レベルシフト回路、104 内部電圧調整回路、106 チューニング回路、110 基準電圧・チューニング回路領域、111、112a、112b 駆動回路領域、113、114a、114b、115 電源パッド、132aa、132ab、132ba、132bb、136a、136b 内部電源線。

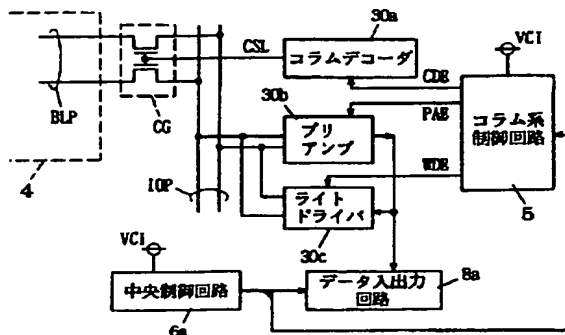
・【図2】



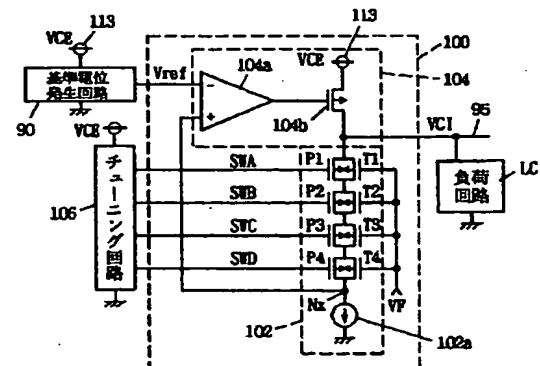
・【図3】



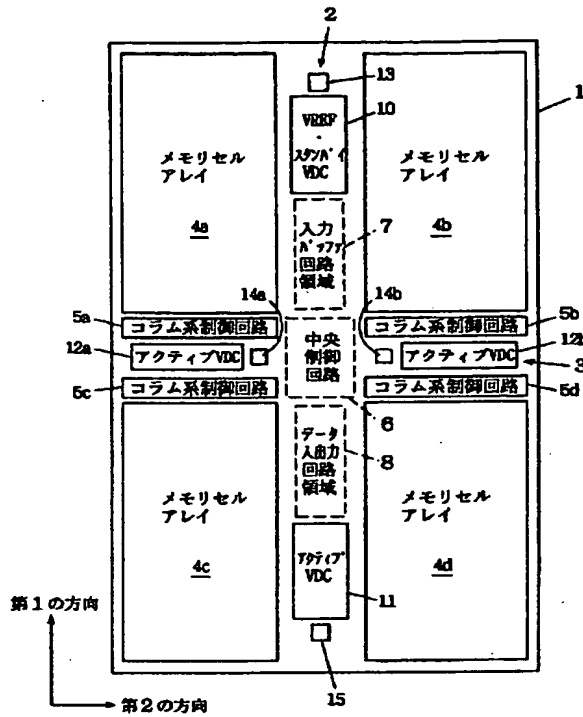
・【図4】



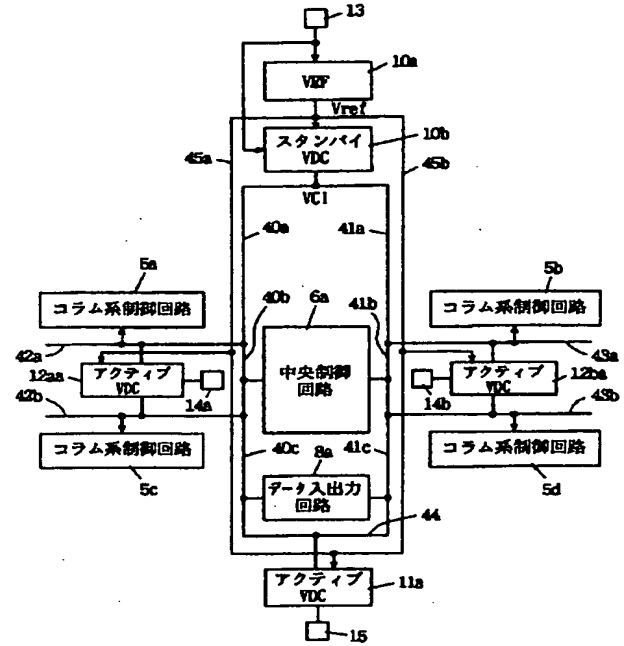
・【図7】



・[図1]

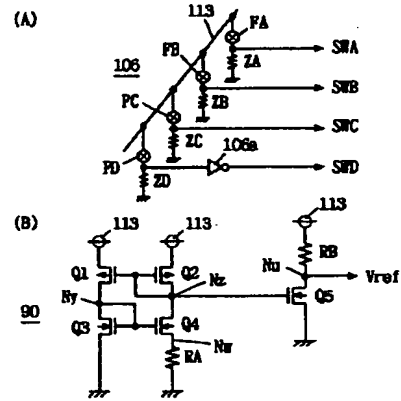
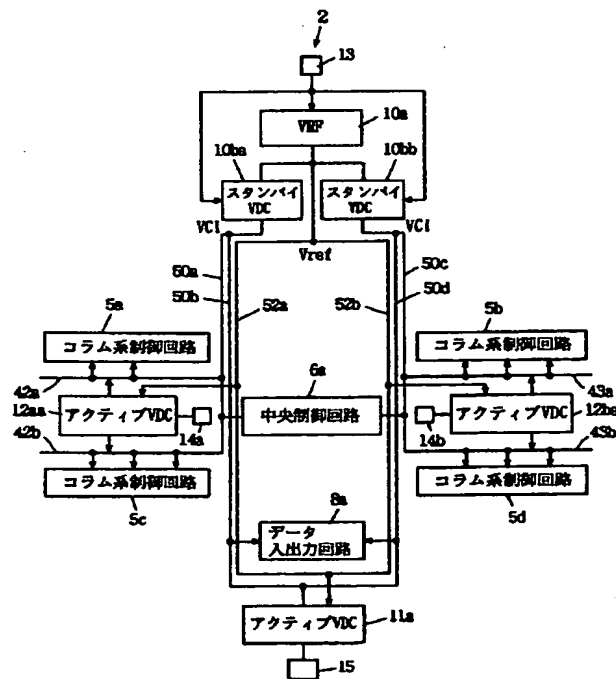


・[図5]

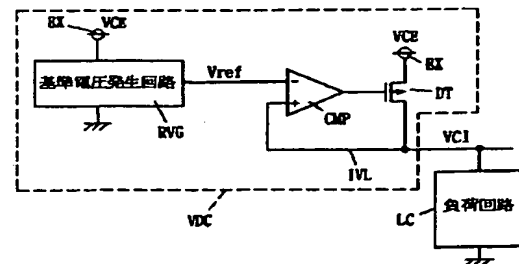


・[図8]

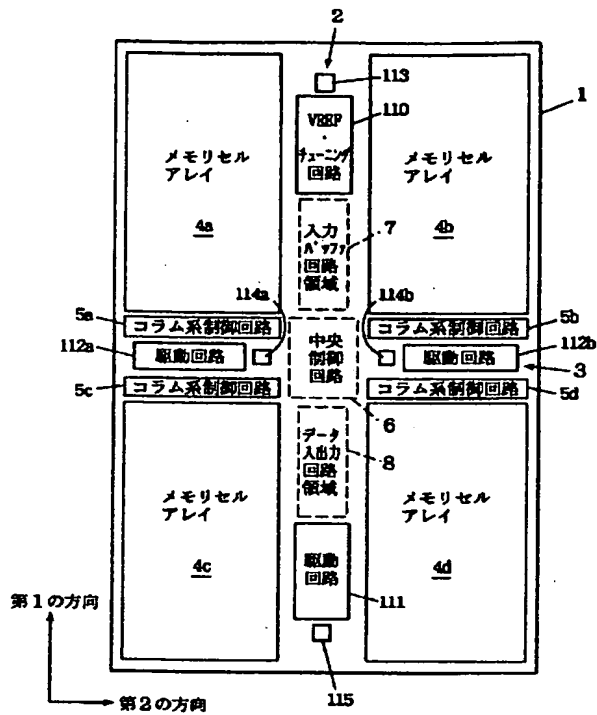
・[図6]



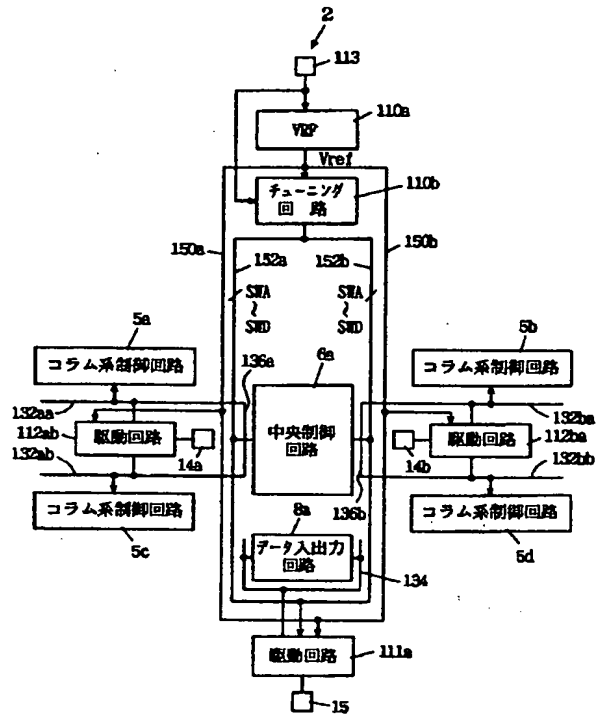
・[図11]



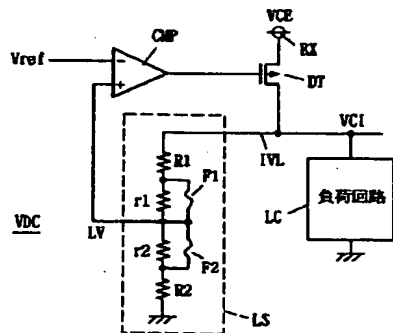
〔図9〕



〔図10〕



〔図12〕



フロントページの続き

(51) Int. Cl. 6.
H01L 27/10

識別記号
311

F I